

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of: Hiroshi BABA

Serial No.: NEW

Filed: March 20, 2000

For: PHASE COMPARATOR AND METHOD OF CONTROLLING POWER SAVING
OPERATION OF THE SAME, AND SEMICONDUCTOR INTEGRATED CIRCUIT



CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Assistant Commissioner for Patents
Washington, D. C. 20231

Date: March 20, 2000

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 11-120620, Filed April 27, 1999

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN, HATTORI,
McLELAND & NAUGHTON

Ronald F. Naughton
Attorney for Applicant
Reg. No. 24,616

Atty. Docket No. **000348**
1725 K Street, N.W., Suite 1000
Washington, DC 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
RFN/llf

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 4月27日

出 願 番 号

Application Number:

平成11年特許願第120620号

出 願 人

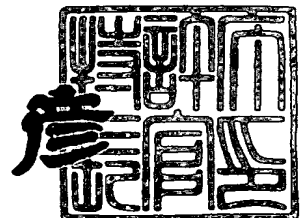
Applicant (s):

富士通株式会社

1999年12月10日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特平11-3086894

【書類名】 特許願

【整理番号】 9840200

【提出日】 平成11年 4月27日

【あて先】 特許庁長官 伊佐山 建志 殿

【国際特許分類】 H03L 7/18

【発明の名称】 位相比較器及びその省電力動作制御方法及び半導体集積回路

【請求項の数】 7

【発明者】

 【住所又は居所】 鹿児島県薩摩郡入来町副田 5 9 5 0 番地 株式会社九州富士通エレクトロニクス内

 【氏名】 馬場 浩志

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100070150

 【郵便番号】 150

 【住所又は居所】 東京都渋谷区恵比寿 4 丁目 2 0 番 3 号 恵比寿ガーデンプレイスタワー 3 2 階

 【弁理士】

 【氏名又は名称】 伊東 忠彦

 【電話番号】 03-5424-2511

【手数料の表示】

 【予納台帳番号】 002989

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

特平 1 1 - 1 2 0 6 2 0

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 位相比較器及びその省電力動作制御方法及び半導体集積回路

【特許請求の範囲】

【請求項 1】 基準周波数の基準信号を分周し基準分周信号を生成する基準信号分周ステップと、入力信号を分周して前記基準分周信号と位相が比較される比較分周信号を生成する比較信号分周ステップと、前記基準分周信号と前記比較分周信号の位相を比較して比較結果を出力する位相比較ステップを含む位相比較器の省電力動作制御方法において、

前記基準信号分周ステップと前記比較信号分周ステップの出力に従って、省電力状態解除信号を生成する解除信号生成ステップと、

前記解除信号生成ステップの出力に従って、前期基準信号分周ステップの初期化を行う第 1 の初期化信号を生成する第 1 の初期化信号生成ステップと、

前記解除信号生成ステップの出力に従って、前期比較信号分周ステップの初期化を行う第 2 の初期化信号を生成する第 2 の初期化信号生成ステップを含むことを特徴とする位相比較器の省電力動作制御方法。

【請求項 2】 請求項 1 記載の前記基準信号分周ステップと前記比較信号分周ステップの分周比は、それぞれ独立に設定できることを特徴とする、請求項 1 記載の位相比較器の省電力動作制御方法。

【請求項 3】 基準周波数の基準信号を分周し基準分周信号を生成する基準信号分周手段と、入力信号を分周して前記基準分周信号と位相が比較される比較分周信号を生成する比較信号分周手段と、前記基準分周信号と前記比較分周信号の位相を比較して比較結果を出力する位相比較手段を含む位相比較器の省電力動作制御回路において、

前記基準信号分周手段と前記比較信号分周手段の出力に従って、省電力状態解除信号を生成する解除信号生成手段と、

前記解除信号生成手段の出力に従って、前期基準信号分周手段の初期化を行う第 1 の初期化信号を生成する第 1 の初期化信号生成手段と、

前記解除信号生成手段の出力に従って、前期比較信号分周手段の初期化を行う第 2 の初期化信号を生成する第 2 の初期化信号生成手段を含むことを特徴とする

位相比較器の省電力動作制御回路。

【請求項 4】請求項 3 記載の前記基準信号分周手段と前記比較信号分周手段の分周比は、それぞれ独立に設定できることを特徴とする、請求項 3 記載の省電力動作制御回路。

【請求項 5】基準周波数の基準信号を分周し基準分周信号を生成する基準信号分周手段と電圧制御発振器の出力信号を受け前記出力信号を分周して前記基準分周信号と位相が比較される比較分周信号を生成する比較信号分周手段と前記基準分周信号と前記比較分周信号の位相を比較して比較結果を出力する位相比較手段を含む位相比較器と、前記位相比較器の比較結果の出力を受けるループフィルタと、前記ループフィルタの出力を受ける前記電圧制御発振器よりなる PLL 周波数シンセサイザにおいて、

前記基準信号分周手段と前記比較信号分周手段の出力に従って、省電力状態解除信号を生成する解除信号生成手段と、

前記解除信号生成手段の出力に従って、前期基準信号分周手段の初期化を行う第 1 の初期化信号を生成する第 1 の初期化信号生成手段と、

前記解除信号生成手段の出力に従って、前期比較信号分周手段の初期化を行う第 2 の初期化信号を生成する第 2 の初期化信号生成手段を含む位相比較器の省電力動作制御回路を含む位相比較器を含むことを特徴とする PLL 周波数シンセサイザ。

【請求項 6】請求項 5 記載の前記基準信号分周手段と前記比較信号分周手段の分周比は、それぞれ独立に設定できることを特徴とする、請求項 5 記載の PLL 周波数シンセサイザ。

【請求項 7】請求項 5 及び 6 記載の PLL 周波数シンセサイザを含むことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、PLL 周波数シンセサイザに関し、特にその省電力制御を行うための位相比較器の制御方法およびその半導体回路に関するものである。

【 0 0 0 2 】

【従来の技術】

図 1 は従来の PLL 周波数シンセサイザの全体ブロック図を示したものである。PLL 周波数シンセサイザは、電圧制御発振器 (VCO) 1 0 2、位相比較器 1 0 1、低域通過フィルタ (LPF) 1 0 6 およびマイコン 1 0 8 より構成される。位相比較器 1 0 1 は、VCO 1 0 2 の出力の直流分をコンデンサ 1 0 5 により削除した信号 (これを以後、比較信号と呼ぶ) を入力端子 $f i n$ より入力し、また基準周波数信号 1 0 3 の直流分をコンデンサ 1 0 4 により削除した信号 (これを以後、基準信号と呼ぶ) を入力端子 $O S C i n$ より入力し、両信号を各々独立の分周比で分周した信号の位相を比較してその位相差に応じた誤差信号を出力端子 $D o$ より出力する。位相比較器 1 0 1 の誤差信号 $D o$ は、LPF 1 0 6 により高周波成分を削除されたのち、電圧制御発振器 1 0 2 に入力し電圧制御発振器 1 0 2 の発振周波数を制御する。PLL 周波数シンセサイザの出力信号 1 0 7 は電圧制御発振器 1 0 2 の出力信号である。出力信号 1 0 7 の周波数は、前記基準信号及び比較信号を分周する分周比を、マイコン 1 0 8 により位相比較器 1 0 1 の入力端子 $C L K$ 、 $D T$ 、 $L E$ から入力して任意に設定することにより、自由に変えることができる。

【 0 0 0 3 】

図 2 は、図 1 に示す位相比較器 1 0 1 のブロック図を示したものである。位相比較器 1 0 1 は主に、基準信号分周段 2 0 2 と、プリスケーラ 2 0 4、比較信号分周段 2 0 5、位相比較部 2 0 8、チャージポンプ 2 0 9、省電力動作制御回路 2 1 2 及びコントロール回路 2 1 3 より構成される。基準信号 2 2 1 は入力バッファ 2 0 1 を介して基準信号分周段 2 0 2 のリファレンスカウンタ 2 0 3 に入力され、所定の分周比で分周された後、位相比較部 2 0 8 の一方の入力端子に入力する。比較信号 2 2 2 はプリスケーラ 2 0 4 で所定の分周比で分周された後、更に比較信号分周段 2 0 5 のスワロカウンタ 2 0 6 及びメインカウンタ 2 0 7 に入力し所定の分周比で分周され、位相比較部 2 0 8 の他方の入力端子に入力する。位相比較部 2 0 8 は前記 2 つの入力信号の位相を比較し、位相誤差に応じて、チャージポンプ 2 0 9 を介して位相誤差信号 2 2 7 を出力端子 $D o$ より出力する。

。また、位相比較部 208 の出力はディジタルロック検出部 210 にも入力し、PLL 周波数シンセサイザの位相同期状態を示すロック信号 228 が LD 端子から出力される。出力選択回路 211 は、コントロール回路 213 により制御されて位相比較部 208 に入力する 2 つの信号のどちらかをモニタ信号 229 として f o u t 端子から出力する。省電力動作制御回路 212 は、入力バッファ 201 の出力信号及びプリスケラ 204 の出力信号を入力とし、基準信号分周段 202、比較信号分周段 205、位相比較部 208 及びディジタルロック検出部 210 の省電力動作の制御を行う。

【0004】

ここで、位相比較器 101 の動作を制御するコントロール回路 213 について説明する。図 3 は、図 2 のコントロール回路 213 に入力する信号 223、224、225 のタイミングチャートを示したものである。データ DT は、位相比較器 101 を制御するための制御データであり、また、クロック CLK は、データ DT の各ビットに同期したクロック信号である。ラッチネーブル信号 LE がハイレベルとなったときに、CLK に同期してコントロール回路 213 に入力されたデータ DT が、コントロール回路内に記憶される。

【0005】

図 4 は位相比較器 101 を制御するための制御データの一例を示したものであり、図 4 (A) は基準信号分周段 202 の制御データの構成例を示し、図 4 (B) は比較信号分周段 205 の制御データの構成例を示す。図 4 (A)、(B) の両制御データともに、CN1 及び CN2 は基準信号分周段 202 の制御データなのか比較信号分周段 205 の制御データなのかを区別するコントロールビットである。図 4 (A) の X 印を付したビット 3, 4, 19, 20, 21, 22, 23 は意味のないデータ (d o n' t c a r e) で、ダミービットを示す。また図 4 (B) の X 印を付したビット 5 は意味のないデータで、ダミービットを示す。図 4 (A) 及び (B) に示した制御データは、図 3 に示すタイミングにおいて、最上位ビット MSB (即ちビット 23) 側から、最下位ビット LSB (即ちビット 1) 側に向かって順に 1 ビットずつ入力される。

【0006】

図5は、コントロールビットCN1, CN2のデータの構成例を示し、CN1及びCN2の両方が「0」の時にはビット3からビット23は基準信号分周段202の制御データであることを示し、また、CN1が「0」でCN2のが「1」の時にはビット3からビット23は比較信号分周段205の制御データであることを示す。

【0007】

図4 (A) のビット5からビット18は図2のリファレンスカウンタ203の分周比「R」を設定する制御データである。また図4 (B) のビット6からビット12は図2の比較信号分周段205のスワローカウンタ206の分周比「A」を設定し、ビット13からビット23は図2のメインカウンタ207の分周比「N」を設定し、ビット4はプリスケアラ204の分周比「P」を選択する。図2の比較信号分周段205は、比較信号を $(P \times N + A)$ 分周する。ビット3は、デジタルロック検出部210と出力選択回路211の設定を行う。

【0008】

図6は図2に示す従来の省電力動作制御回路212を示したものである。省電力制御信号PSRは、インバータ601に入力する。省電力制御信号はLレベルの時は省電力状態を示し、Hレベルのときには、省電力状態が解除されていることを示す。インバータ601の出力はインバータ602に入力し、インバータ602の出力はNANDゲート603の一方の入力端子、Dフリップフロップ616のSET端子、Dフリップフロップ617のRESET端子及び、セトリセットフリップフロップ621を構成するNANDゲート620の一方の入力端子に入力する。NANDゲート619とNANDゲート620は、セトリセットフリップフロップ621を構成する。プリスケアラの出力信号の反転信号XFPARは、Dフリップフロップ616、617のD入力端子及び3入力NANDゲート618の第1の入力端子に入力する。基準信号FRARは、NANDゲート603の他方の入力端子に入力する。

【0009】

インバータ604-1から604-7は従属接続されており、NANDゲート603の出力は、インバータ604-1の入力端子に接続されている。インバー

タ 604-7 の出力は、NANDゲート 608 の一方の入力に接続されている。NANDゲート 608 の出力はインバータ 609 の入力端子に接続され、インバータ 609 の出力端子はインバータ 610 の入力端子と D フリップフロップ 616 のクロック CK 入力端子に接続されている。インバータ 610 の出力は、D フリップフロップ 616 の反転クロック XCK 入力端子とインバータ 611-1 の入力端子に接続されている。インバータ 611-1 からインバータ 611-14 は従属接続されており、インバータ 611-14 の出力はインバータ 615 の入力端子と D フリップフロップ 617 の反転クロック XCK 入力端子に入力されている。インバータ 615 の出力は D フリップフロップ 617 のクロック CK 入力端子に入力されている。D フリップフロップ 616 のリセット RESET 入力端子及び D フリップフロップ 617 のセット SET 入力端子はともに電源 Vcc に接続されている。

【0010】

D フリップフロップ 616 の反転出力 XQ は 3 入力 NAND ゲート 618 の第 2 の入力端子に接続され、D フリップフロップ 617 の出力 Q は 3 入力 NAND ゲート 618 の第 3 の入力端子に接続されている。3 入力 NAND ゲート 618 の出力は、セットリセットフリップフロップ 621 を構成する NAND ゲート 619 の他方の入力端子に入力する。セットリセットフリップフロップ 621 を構成する NAND ゲート 620 の出力は NAND ゲート 608 の他方の入力端子及びインバータ 622 の入力端子に入力する。インバータ 622 は、内部省電力信号 PSRS を出力する。

【0011】

図 7 は図 6 に示す従来の省電力動作制御回路 212 の動作のタイミングチャートを示したものである。省電力動作制御信号 PSR が L の時には、D フリップフロップ 616 はセット状態、D フリップフロップ 617 はリセット状態、NAND ゲート 620 の出力は H レベルである。省電力動作制御信号 PSR が L から H に立ち上がった後、基準信号 FRAR が L から H に立ち上がると、インバータ 609 の出力は、基準信号 FRAR の立ち上がりから 10 ゲート分遅延した後、L から H に立ち上がる。この立ち上がりタイミングで、D フリップフロップ 616

はプリスケアラ出力の反転信号XFPARを記憶し、反転出力XQよりHレベルのXQ1信号を出力する。次に、インバータ609の出力のCK1の立ち上がりから16ゲート分遅延した後、インバータ615の出力のCK2が立ち上がる。この立ち上がりタイミングで、Dフリップフロップ617はプリスケアラ出力の反転信号XFPARを記憶し、出力QよりHレベルのQ2信号を出力する。3入力NANDゲート618の出力Aは、プリスケアラ出力の反転信号XFPARとXQ1とQ2がHレベルのときにLレベルとなる。従って、NANDゲート619の出力BはHレベルとなり、セトリセットフリップフロップ621の出力CはLレベルとなる。これにより、内部省電力制御信号PSRSはHレベルとなり、省電力状態が解除される。

【0012】

図8は、省電力動作制御回路212の解除時の動作を示すフローチャートを示したものである。ステップS1-1で、省電力制御信号PSRが解除された後、ステップS1-2でCK1の立ち上がり時点でプリスケアラ出力の反転信号XFPARがHかLかを判断する。プリスケアラ出力の反転信号XFPARがLならば、ステップS1-3でCK2の立ち上がり時点でプリスケアラ出力の反転信号XFPARがHかLかを判断する。プリスケアラ出力の反転信号XFPARがHならば、内部省電力状態は解除され、図2の基準信号分周段202のリファレンスカウンタ203及び比較信号分周段205のスワローカウンタ206とメインカウンタ207及び位相比較部208の省電力状態が解除されチャージポンプ209を介して位相誤差信号227が出力される。

【0013】

【発明が解決しようとする課題】

しかしながら、上述した従来技術には、次のような問題がある。

図9は従来回路の第1の問題点を示したものである。第1の問題点は、ノイズによる誤動作で、省電力状態が解除されてしまうことである。省電力制御信号PSRがLからHとなり省電力状態が解除された時に、ノイズが発生して、基準信号FRARと比較信号222のプリスケアラ出力の反転信号XFPARにノイズが入り、これによって、省電力制御回路212の出力の内部省電力信号PSRS

がHレベルとなり、すぐに基準信号分周段202や比較信号分周段205、位相比較部208等の位相比較器101の内部回路が動作を開始する。この結果基準信号FRARとプリスケータ出力の反転信号XFPARの2つの信号の位相が大きくずれてしまう結果となる。

【0014】

図10は従来回路の第2の問題点を示したものである。第2の問題点は、省電力制御信号PSRがLからHとなり省電力状態が解除された時に、基準信号FRARと比較信号222のプリスケータ出力の反転信号XFPARの位相差が常に一定のままとなってしまう、内部省電力信号PSRSがHレベルとなることができないので、基準信号分周段202や比較信号分周段205、位相比較部208等の位相比較器101の内部回路が動作しないというものである。

【0015】

本発明は、上記の点に鑑みてなされたものであり、上述の問題点を解消し、確実にかつ安定に省電力状態の解除ができる位相比較器の省電力動作制御方法及び装置を提供することを目的とする。

【0016】

【発明を解決するための手段】

上記目的を達成するために、本発明は次のように構成される。

請求項1は、基準周波数の基準信号を分周し基準分周信号を生成する基準信号分周ステップと、入力信号を分周して前記基準分周信号と位相が比較される比較分周信号を生成する比較信号分周ステップと、前記基準分周信号と前記比較分周信号の位相を比較して比較結果を出力する位相比較ステップを含む位相比較器の省電力動作制御方法において、

前記基準信号分周ステップと前記比較信号分周ステップの出力に従って、省電力状態解除信号を生成する解除信号生成ステップと、

前記解除信号生成ステップの出力に従って、前期基準信号分周ステップの初期化を行う第1の初期化信号を生成する第1の初期化信号生成ステップと、

前記解除信号生成ステップの出力に従って、前期比較信号分周ステップの初期化を行う第2の初期化信号を生成する第2の初期化信号生成ステップを含むこと

を特徴とする。

【0 0 1 7】

請求項 1 によれば、基準信号分周ステップと比較信号分周ステップの出力が変化したことを確認した後、第 1 の初期化信号で基準信号分周ステップをリセットし、また、第 2 の初期化信号で比較信号分周ステップをリセットすることによって、省電力状態が解除されたときの位相比較器の 2 つの入力信号の位相差を一定値以下とすることにより、確実にかつ安定に省電力状態の解除を行なうことができるので、内部信号の位相差が所定の関係になっていないにもかかわらずノイズによる誤動作で省電力状態が解除されてしまうことが無く且つ、省電力制御信号の解除されるタイミングと、基準信号（F R A R）およびプリスケアラ出力の信号（F P A R）の位相関係によって省電力状態が解除されないということも無い位相比較器の省電力動作制御方法を得ることができる。

【0 0 1 8】

請求項 2 は、請求項 1 記載の前記基準信号分周ステップと前記比較信号分周ステップの分周比は、それぞれ独立に設定できることを特徴とする。

請求項 2 によれば、前記基準信号分周ステップと前記比較信号分周ステップの分周比は、それぞれ独立に設定できるので、出力信号の周波数を自由に設定できる位相比較器の省電力動作制御方法を得ることができる。

【0 0 1 9】

請求項 3 は、基準周波数の基準信号を分周し基準分周信号を生成する基準信号分周手段と、入力信号を分周して前記基準分周信号と位相が比較される比較分周信号を生成する比較信号分周手段と、前記基準分周信号と前記比較分周信号の位相を比較して比較結果を出力する位相比較手段を含む位相比較器の省電力動作制御回路において、

前記基準信号分周手段と前記比較信号分周手段の出力に従って、省電力状態解除信号を生成する解除信号生成手段と、

前記解除信号生成手段の出力に従って、前期基準信号分周手段の初期化を行う第 1 の初期化信号を生成する第 1 の初期化信号生成手段と、

前記解除信号生成手段の出力に従って、前期比較信号分周手段の初期化を行う

第2の初期化信号を生成する第2の初期化信号生成手段を含むことを、特徴とする。

【0020】

請求項3によれば、基準信号分周手段と比較信号分周手段の出力が変化したことを確認した後、第1の初期化信号で基準信号分周手段をリセットし、また、第2の初期化信号で比較信号分周手段をリセットすることによって省電力状態が解除されたときの位相比較器の2つの入力信号の位相差を一定値以下とすることにより、確実にかつ安定に省電力状態の解除を行なうことができるので、内部信号の位相差が所定の関係になっていないにもかかわらずノイズによる誤動作で省電力状態が解除されてしまうことが無く且つ、省電力制御信号の解除されるタイミングと、基準信号（FRAR）およびプリスケアラ出力の信号（FPAR）の位相関係によって省電力状態が解除されないということも無い位相比較器の省電力動作制御回路を得ることができる。

【0021】

請求項4は、請求項3記載の前記基準信号分周手段と前記比較信号分周手段の分周比は、それぞれ独立に設定できることを特徴とする。

請求項4によれば、前記基準信号分周手段と前記比較信号分周手段の分周比は、それぞれ独立に設定できるので、出力信号の周波数を自由に設定できる位相比較器の省電力動作制御回路を得ることができる。

【0022】

請求項5は、基準周波数の基準信号を分周し基準分周信号を生成する基準信号分周手段と電圧制御発振器の出力信号を受け前記出力信号を分周して前記基準分周信号と位相が比較される比較分周信号を生成する比較信号分周手段と前記基準分周信号と前記比較分周信号の位相を比較して比較結果を出力する位相比較手段を含む位相比較器と、前記位相比較器の比較結果の出力を受けるループフィルタと、前記ループフィルタの出力を受ける前記電圧制御発振器よりなるPLL周波数シンセサイザにおいて、

前記基準信号分周手段と前記比較信号分周手段の出力に従って、省電力状態解除信号を生成する解除信号生成手段と、

前記解除信号生成手段の出力に従って、前期基準信号分周手段の初期化を行う第 1 の初期化信号を生成する第 1 の初期化信号生成手段と、

前記解除信号生成手段の出力に従って、前期比較信号分周手段の初期化を行う第 2 の初期化信号を生成する第 2 の初期化信号生成手段を含む位相比較器の省電力動作制御回路を含む位相比較器を含むことを特徴とする。

【0 0 2 3】

請求項 5 によれば、基準信号分周手段と比較信号分周手段の出力が変化したことを確認した後、第 1 の初期化信号で基準信号分周手段をリセットし、また、第 2 の初期化信号で比較信号分周手段をリセットすることによって省電力状態が解除されたときの位相比較器の 2 つの入力信号の位相差を一定値以下とすることにより、確実にかつ安定に省電力状態の解除を行なうことができるので、内部信号の位相差が所定の関係になっていないにもかかわらずノイズによる誤動作で省電力状態が解除されてしまうことが無く且つ、省電力制御信号の解除されるタイミングと、基準信号（F R A R）およびプリスケアラ出力の信号（F P A R）の位相関係によって省電力状態が解除されないということも無い位相比較器の省電力動作制御回路を含む位相比較器を含む P L L 周波数シンセサイザを得ることができる。

【0 0 2 4】

請求項 6 は、請求項 5 記載の前記基準信号分周手段と前記比較信号分周手段の分周比は、それぞれ独立に設定できることを特徴とする。

請求項 6 によれば、前記基準信号分周手段と前記比較信号分周手段の分周比は、それぞれ独立に設定できるので、出力信号の周波数を自由に設定できる位相比較器の省電力動作制御回路を含む位相比較器を含む P L L 周波数シンセサイザ得ることができる。

【0 0 2 5】

請求項 7 は、半導体集積回路に、請求項 5 及び 6 記載の P L L 周波数シンセサイザを含むことを特徴とする。

請求項 7 によれば、基準信号分周手段と比較信号分周手段の出力が変化したことを確認した後、第 1 の初期化信号で基準信号分周手段リセットし、また、第 2

の初期化信号で比較信号分周手段をリセットすることによって省電力状態が解除されたときの位相比較器の 2 つの入力信号の位相差を一定値以下とすることにより、確実にかつ安定に省電力状態の解除を行なうことができるので、内部信号の位相差が所定の関係になっていないにもかかわらずノイズによる誤動作で省電力状態が解除されてしまうことが無く且つ、省電力制御信号の解除されるタイミングと、基準信号（F R A R）およびプリスケアラ出力の信号（F P A R）の位相関係によって省電力状態が解除されないということも無い位相比較器の省電力動作制御回路を含む位相比較器を含む P L L 周波数シンセサイザを含む半導体集積回路得ることができる。

【 0 0 2 6 】

請求項 8 は、基準周波数の基準信号を分周し基準分周信号を生成する基準信号分周手段と電圧制御発振器の出力信号を受け前記出力信号を分周して前記基準分周信号と位相が比較される比較分周信号を生成する比較信号分周手段と前記基準分周信号と前記比較分周信号の位相を比較して比較結果を出力する位相比較手段を含む位相比較器と、前記位相比較器の比較結果の出力を受けるループフィルタと、前記ループフィルタの出力を受ける前記電圧制御発振器よりなる P L L 周波数シンセサイザを含む送受信装置において、

前記基準信号分周手段と前記比較信号分周手段の出力に従って、省電力状態解除信号を生成する解除信号生成手段と、

前記解除信号生成手段の出力に従って、前期基準信号分周手段の初期化を行う第 1 の初期化信号を生成する第 1 の初期化信号生成手段と、

前記解除信号生成手段の出力に従って、前期比較信号分周手段の初期化を行う第 2 の初期化信号を生成する第 2 の初期化信号生成手段を含む位相比較器の省電力動作制御回路を含む P L L 周波数シンセサイザを含むことを特徴とする。

【 0 0 2 7 】

請求項 8 によれば、基準信号分周手段と比較信号分周手段の出力が変化したことを確認した後、第 1 の初期化信号で基準信号分周手段をリセットし、また、第 2 の初期化信号で比較信号分周手段をリセットすることによって省電力状態が解除されたときの位相比較器の 2 つの入力信号の位相差を一定値以下とすることにより、

より、確実にかつ安定に省電力状態の解除を行なうことができるので、内部信号の位相差が所定の関係になっていないにもかかわらずノイズによる誤動作で省電力状態が解除されてしまうことが無く、且つ、省電力制御信号の解除されるタイミングと、基準信号（F R A R）およびプリスケアラ出力の信号（F P A R）の位相関係によって省電力状態が解除されないということも無い位相比較器の省電力動作制御回路を含む位相比較器を含むPLL周波数シンセサイザを含む送受信装置を得ることができる。

【0028】

請求項9は、請求項8記載の前記基準信号分周手段と前記比較信号分周手段の分周比は、それぞれ独立に設定できることを特徴とする。

請求項9によれば、前記基準信号分周手段と前記比較信号分周手段の分周比は、それぞれ独立に設定できるので、出力信号の周波数を自由に設定できる位相比較器の省電力動作制御回路を含む位相比較器を含むPLL周波数シンセサイザを含む送受信装置を得ることができる

【0029】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

図11は、本発明の第1実施例の位相比較器101を示したものである。図11において図2に示した従来の位相比較器101と異なる点は、省電力制御回路1101の部分である。また、図11において図2と同一番号を付した構成要素は、同一の構成要素を表すものである。本実施例の省電力制御回路1101では、基準信号F R A R、比較信号222のプリスケアラ出力信号F P A R、基準信号分周段202の出力信号F R及び比較信号分周段205の出力信号F Pより、内部省電力信号P S R S 1、P S R S 2、P S R S 3を生成する。以下、図12および図13を用いて、図11の省電力制御回路1101の動作を説明する。

【0030】

図12は本発明の省電力動作制御回路1101を示したものである。省電力制御信号1231はLレベルの時は省電力状態を示し、Hレベルのときには、省電力状態が解除されていることを示す。省電力制御信号1231は、Dフリップフ

ロップ1201のD入力端子、RESET端子、Dフリップフロップ1202のリセットRESET端子、Dフリップフロップ1204のデータD入力端子、リセットRESET端子、Dフリップフロップ1205のリセットRESET端子、NANDゲート1212の一方の入力端子及びNANDゲート1217の一方の入力端子に接続されている。

【0031】

リファレンスカウンタの出力信号(FR)1232は、インバータ1203の入力端子、Dフリップフロップ1201のクロックCK入力端子及びDフリップフロップ1202のクロックCK入力端子に接続されている。インバータ1203の出力はDフリップフロップ1201の反転クロックXCK入力端子及びDフリップフロップ1202の反転クロックXCK入力端子に接続されている。Dフリップフロップ1201の出力QはDフリップフロップ1202のデータD入力端子に接続されている。

【0032】

メインカウンタの出力信号(FP)1233は、インバータ1206の入力端子、Dフリップフロップ1204のクロックCK入力端子及びDフリップフロップ1205のクロックCK入力端子に接続されている。インバータ1206の出力はDフリップフロップ1204の反転クロックXCK入力端子及びDフリップフロップ1205の反転クロックXCK入力端子に接続されている。Dフリップフロップ1204の出力QはDフリップフロップ1205のデータD入力端子に接続されている。

【0033】

Dフリップフロップ1202の出力QはNANDゲート1207の一方の入力端子に接続され、Dフリップフロップ1205の出力QはNANDゲート1207の他方の入力端子に接続されている。NANDゲート1207の出力はインバータ1208の入力端子に接続されており、インバータ1208の出力は、内部省電力制御信号(P S R S 1)1236である。また、Dフリップフロップ1201、1202、1204、1205のSET端子は、電源Vccに接続されている。

【0034】

基準信号FRARは、インバータ1210の入力端子、Dフリップフロップ1209のクロックCK入力端子に接続されている。インバータ1210の出力はDフリップフロップ1209の反転クロックXCK入力端子に接続されている。Dフリップフロップ1209の出力QはNANDゲート1211の一方の入力端子に接続されている。Dフリップフロップ1209のRESET端子は電源Vccに、データD入力端子はグランドGNDに接続されている。また、Dフリップフロップ1209のSET端子及びNANDゲート1211の他方の入力端子は、インバータ1208の出力に接続されている。NANDゲート1211の出力はNANDゲート1212の他方の入力端子に接続されており、NANDゲート1212の出力はインバータ1213入力端子に接続されている。インバータ1213の出力は、内部省電力制御信号（PSRS2）1237である。

【0035】

プリスケアラの出力信号（FPAR）1235は、インバータ1215の入力端子、Dフリップフロップ1214のクロックCK入力端子に接続されている。インバータ1215の出力はDフリップフロップ1214の反転クロックXCK入力端子に接続されている。Dフリップフロップ1214の出力QはNANDゲート1216の一方の入力端子に接続されている。Dフリップフロップ1214のRESET端子は電源Vccに、データD入力端子はグランドGNDに接続されている。また、Dフリップフロップ1214のSET端子及びNANDゲート1216の他方の入力端子は、インバータ1208の出力に接続されている。NANDゲート1216の出力はNANDゲート1217の他方の入力端子に接続されており、NANDゲート1217の出力はインバータ1218入力端子に接続されている。インバータ1218の出力は、内部省電力制御信号（PSRS3）1238である。

【0036】

図13は、本発明の省電力動作制御回路のタイミングチャートを示したものである。省電力動作制御信号PSRがLの時には、Dフリップフロップ1201、1202、1204、1205はリセット状態、Dフリップフロップ1209、

1 2 1 4 はセット状態、内部省電力制御信号 P S R S 1、P S R S 2、P S R S 3 は L レベルである。省電力動作制御信号 P S R が L から H に解除されると、図 1 1 の基準信号分周段 2 0 2 のリファレンスカウンタ 2 0 3 及び比較信号分周段 2 0 5 のスワローカウンタ 2 0 6 及びメインカウンタ 2 0 7 の動作が開始し、分周された出力 F R と F P が出力される。リファレンスカウンタ 2 0 3 の分周された出力 F R が 2 回出力され、且つ、スワローカウンタ 2 0 6 及びメインカウンタ 2 0 7 の分周された出力 F P が 2 回出力された時に、内部省電力制御信号 P S R S 1 が L から H に立ち上がる。

【 0 0 3 7 】

内部省電力制御信号 P S R S 1 が H となると、D フリップフロップ 1 2 0 9 の S E T 端子が H となり、セット状態が解除される。この後、最初に入力した基準信号 F R A R が立ち上がる時点で、D フリップフロップ 1 2 0 9 の出力（A 点）は L になる。内部省電力制御信号 P S R S 1 が H となってから、D フリップフロップ 1 2 0 9 の出力（A 点）が L となるまでの期間、内部省電力制御信号 P S R S 2 は L レベルとなる。また、内部省電力制御信号 P S R S 1 が H となると、D フリップフロップ 1 2 1 4 の S E T 端子が H となり、セット状態が解除される。この後、最初に入力したプリスケアラの出力信号 F P A R が立ち上がる時点で、D フリップフロップ 1 2 1 4 の出力（B 点）は L になる。内部省電力制御信号 P S R S 1 が H となってから、D フリップフロップ 1 2 1 4 の出力（B 点）が L となるまでの期間、内部省電力制御信号 P S R S 3 は L レベルとなる。この様に生成された内部省電力制御信号 P S R S 2 により、図 1 1 の基準信号分周手段 2 0 2 のリファレンスカウンタ 2 0 3 がリセットされ、また内部省電力制御信号 P S R S 3 により比較信号分周手段 2 0 5 のスワローカウンタ 2 0 6 及びメインカウンタ 2 0 7 がリセットされる。一方、内部省電力制御信号 P S R S 2 は L レベルとなる期間と、内部省電力制御信号 P S R S 3 は L レベルとなる期間の差は最大でプリスケアラの出力信号 F P A R の周期 τ_{fp} または、基準信号 F R A R の周期 τ_{fr} の長い方の期間以下である。

【 0 0 3 8 】

図 1 4 は、本発明の省電力動作制御回路の解除時のフローチャートを示したも

のである。ステップ S 2-1 で、省電力制御信号 P S R が解除された後、ステップ S 2-2 でメインカウンタ、スワローカウンタ、リファレンスカウンタを動作させる。次に、ステップ S 2-3 でリファレンスカウンタの出力 F R 及びメインカウンタ、スワローカウンタの出力 F P が、出力されたかどうかを判断する。両方が出力されたならば、ステップ S 2-4 で内部省電力信号 P S R S 1 が H レベルとなり位相比較部 208 省電力状態が解除されチャージポンプ 209 を介して位相誤差 227 を出力する。次に、ステップ S 2-5 で内部省電力信号 P S R S 2 及び内部省電力信号 P S R S 3 が出力されこれによって、メインカウンタ、スワローカウンタ、リファレンスカウンタにリセットがかけられる。

【0039】

以上説明したように、本実施例では、リファレンスカウンタ 203 で構成される基準信号分周手段 202 とスワローカウンタ 206 及びメインカウンタ 207 で構成される比較信号分周手段 205 の出力が変化したことを確認した後、第 1 の初期化信号で基準信号分周手段 202 をリセットし、また、第 2 の初期化信号で比較信号分周手段をリセットすることによって、省電力状態が解除されたときの位相比較器 208 の 2 つの入力信号の位相差を一定値以下とすることにより、確実にかつ安定に省電力状態の解除を行なうことができるので、内部信号の位相差が所定の関係になっていないにもかかわらずノイズによる誤動作で省電力状態が解除されてしまうことが無く且つ、省電力制御信号の解除されるタイミングと、基準信号 F R A R およびプリスケアラ出力の信号 F P A R の位相関係によって省電力状態が解除されないということも無い位相比較器の省電力動作制御回路を得ることができる。また、本発明の位相比較器を図 1 に示す P L L 周波数シンセサイザの位相比較器 101 の代わりに使用すれば、D T、C L K、L E 信号により、基準信号分周手段 202 のリファレンスカウンタ 203 の分周比 R と、比較信号分周手段 205 のスワローカウンタ 206 分周比 A 及びメインカウンタ 207 の分周比 N を設定することができるので、自由な周波数の出力信号が得られ且つ、ノイズによる誤動作で省電力状態が解除されてしまうことが無くまた、省電力制御信号の解除されるタイミングと基準信号 F R A R およびプリスケアラ出力の信号 F P A R の位相関係によって省電力状態が解除されないということも無い P L

L周波数シンセサイザを得ることができる。

【0040】

次に、図15を用いて、本発明の第2の実施例について説明する。図15は本発明による送受信器を示したものである。

まず最初に、受信時の動作を説明する。受信時には、PROM1515に格納されたプログラムに従いマイコン1512が、KEY1514で指定された受信チャンネルを取り込む。取り込んだチャンネルに従って、マイコン1512は本発明による受信部のPLL周波数シンセサイザ1505の発生周波数を設定する。発生周波数の設定は、前述したように位相比較器の中の基準信号分周段のリファレンスカウンタの分周比及び比較信号分周段のスワローカウンタとメインカウンタの分周比を設定することにより行う。KEY1514によって指定した受信チャンネルや、受信状態が、液晶表示器(LCD)1513に表示される。受信信号を受信したアンテナ1501は、アンテナスイッチ1502に受信信号を送る。アンテナスイッチ1502は、送受信器が受信状態のときには、アンテナ1501からの信号をA側に送る。アンテナスイッチ1502からの信号を受けた受信アンプ1503は微弱な信号を増幅する。増幅された信号は、ミキサー1504において受信部のPLL周波数シンセサイザ1505の発生する出力信号と混合される。受信部のPLL周波数シンセサイザ1505は、電圧制御発振器(VCO)1506と本発明による位相比較器1507と低域通過フィルタ(LPF)1508より成り、マイコンからの省電力動作制御信号に従って、前述した、省電力動作制御を行う。ミキサー1504の出力は、IF増幅器1509により増幅され、更に音声信号(AF)増幅器1510により増幅された後、スピーカ1511にて音声に変換されて、出力される。

【0041】

次に、送信時の動作について説明する。送信時には、PROM1515に格納されたプログラムに従いマイコン1512が、KEY1514で指定された送信チャンネルを取り込む。取り込んだチャンネルに従って、マイコン1512は本発明による受信部のPLL周波数シンセサイザ1505の発生周波数を設定する。発生周波数の設定は、前述したように位相比較器の中の基準信号分周段のリファレ

ンスカウンタの分周比及び比較信号分周段のスワローカウンタとメインカウンタの分周比を設定することにより行う。KEY 1514によって指定した送信チャネルや、送信状態が、液晶表示器（LCD）1513に表示される。マイク 1516より入力した音声は、帯域通過フィルタ（BPF）1517により帯域制限された後、MODEM 1518によって、マイコン 1512へ送られる。マイコン 1512はMODEM 1518より送られた音声信号に従って、送信部のPLL周波数シンセサイザ 1519の発生信号の周波数の制御を行う。受信部のPLL周波数シンセサイザ 1519は、電圧制御発振器（VCO）1520と本発明による位相比較器 1521と低域通過フィルタ（LPF）1522より成り、マイコンからの省電力動作制御信号に従って、前述した、省電力動作制御を行う。PLL周波数シンセサイザ 1519の出力は、帯域制限フィルタ（BPF）1523によって帯域制限された後、パワーアンプ 1524により電力増幅された後、アンテナスイッチ 1502に送られる。アンテナスイッチ 1502は、送受信器が送信状態のときには、パワーアンプ 1524からの信号（B）をアンテナ 1501に送る。アンテナ 1501に送られた送信信号は、アンテナ 1501より送信される。

【0042】

以上説明したように、本実施例に拠れば、本発明の位相比較器を用いたPLL周波数シンセサイザを使用した送受信器を構成することができる。なお、本実施例は、送受信器に本発明を適用した例であるが、これに限定されず、トランシーバ、通信機、ラジオ受信機、テレビジョン受信機、携帯電話等に適用できる。

【0043】

【発明の効果】

以上詳細に説明したように、本発明によれば、基準信号分周手段と比較信号分周手段の出力が変化したことを確認した後、基準信号分周手段と比較信号分周手段のそれぞれに所定のタイミングでリセットすることによって省電力状態が解除されたときの位相比較器の2つの入力信号の位相差を一定値以下とすることにより、確実にかつ安定に省電力状態の解除を行なうことができるので、内部信号の位相差が所定の関係になっていないにもかかわらずノイズによる誤動作で省電力

状態が解除されてしまうことが無く且つ、省電力制御信号の解除されるタイミングと、基準信号 F R A R およびプリスケアラ出力の信号 F P A R の位相関係によって省電力状態が解除されないということも無い位相比較器の省電力動作制御方法及び装置を得ることができるという効果がある。

【 0 0 4 4 】

また、本発明によれば、基準信号分周手段と比較信号分周手段の分周比は、それぞれ独立に設定できるので、出力信号の周波数を自由に設定できる位相比較器の省電力動作制御方法及び装置を得ることができるという効果がある。

更に、基準信号分周手段と比較信号分周手段の出力が変化したことを確認した後、基準信号分周手段と比較信号分周手段のそれぞれに所定のタイミングでリセットすることによって省電力状態が解除されたときの位相比較器の 2 つの入力信号の位相差を一定値以下とすることにより、確実にかつ安定に省電力状態の解除を行なうことができるので、内部信号の位相差が所定の関係になっていないにもかかわらずノイズによる誤動作で省電力状態が解除されてしまうことが無く且つ、省電力制御信号の解除されるタイミングと、基準信号 F R A R およびプリスケアラ出力の信号 F P A R の位相関係によって省電力状態が解除されないということも無い位相比較器の省電力動作制御方法及び装置を持った P L L 周波数シンセサイザを得ることができるという効果がある。

【 0 0 4 5 】

更に、本発明による P L L 周波数シンセサイザを持った送受信装置を得ることができるという効果がある。

【図面の簡単な説明】

【図 1】

従来の P L L 周波数シンセサイザの全体ブロック図。

【図 2】

従来の位相比較器のブロック図。

【図 3】

コントロール回路に入力する信号のタイミングチャート。

【図 4】

位相比較器を制御するための制御データの一例

【図 5】

コントロールビット CN 1, CN 2 のデータの内容を示す図。

【図 6】

従来の省電力動作制御回路。

【図 7】

従来の省電力動作制御回路の動作のタイミングチャート。

【図 8】

従来の省電力動作制御回路の解除時の動作を示すフローチャート。

【図 9】

従来回路の第 1 の問題点。

【図 1 0】

従来回路の第 2 の問題点。

【図 1 1】

本発明の第 1 実施例。

【図 1 2】

本発明の省電力動作制御回路

【図 1 3】

本発明の省電力動作制御回路のタイミングチャート。

【図 1 4】

本発明の省電力動作制御回路の解除時の動作を示すフローチャート

【図 1 5】

本発明による送受信器

【符号の説明】

2 0 2 基準信号分周段

2 0 3 リファレンスカウンタ

2 0 4 プリスケーラ

2 0 5 比較信号分周段

2 0 6 スワローカウンタ

207 メインカウンタ

208 位相比較部

209 チャージポンプ

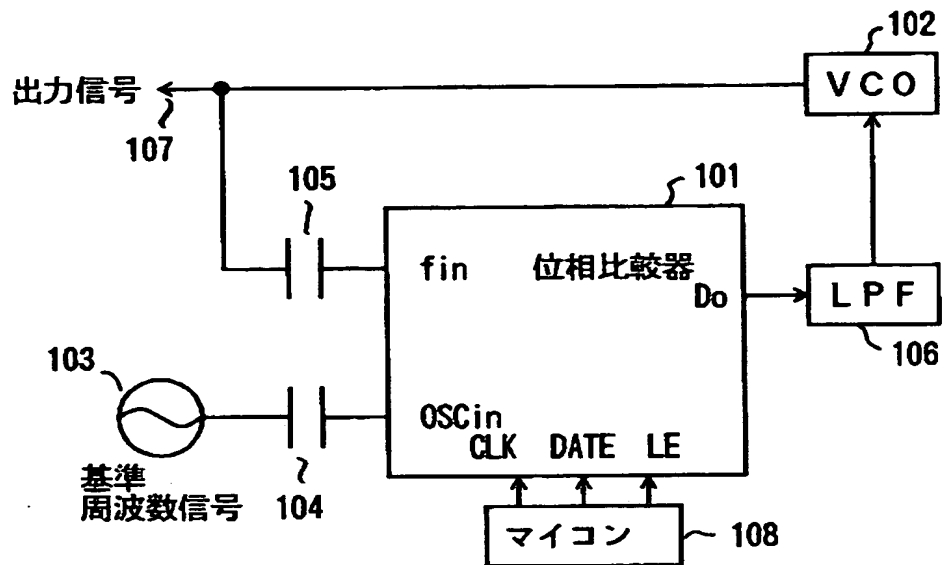
212、1101 省電力動作制御回路

213 コントロール回路

【書類名】 図面

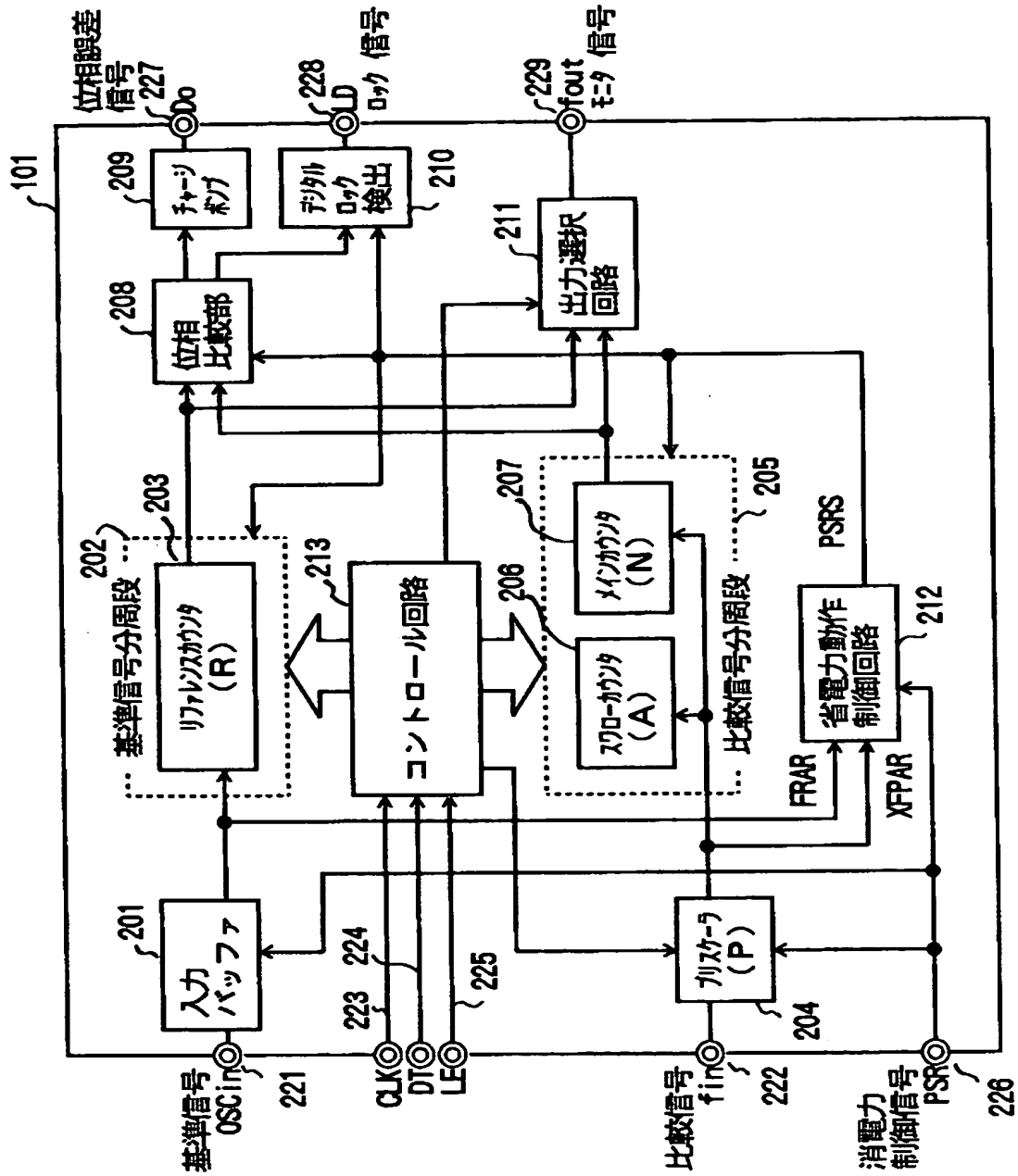
【図 1】

P L L 周波数シンセサイザの全体ブロック図



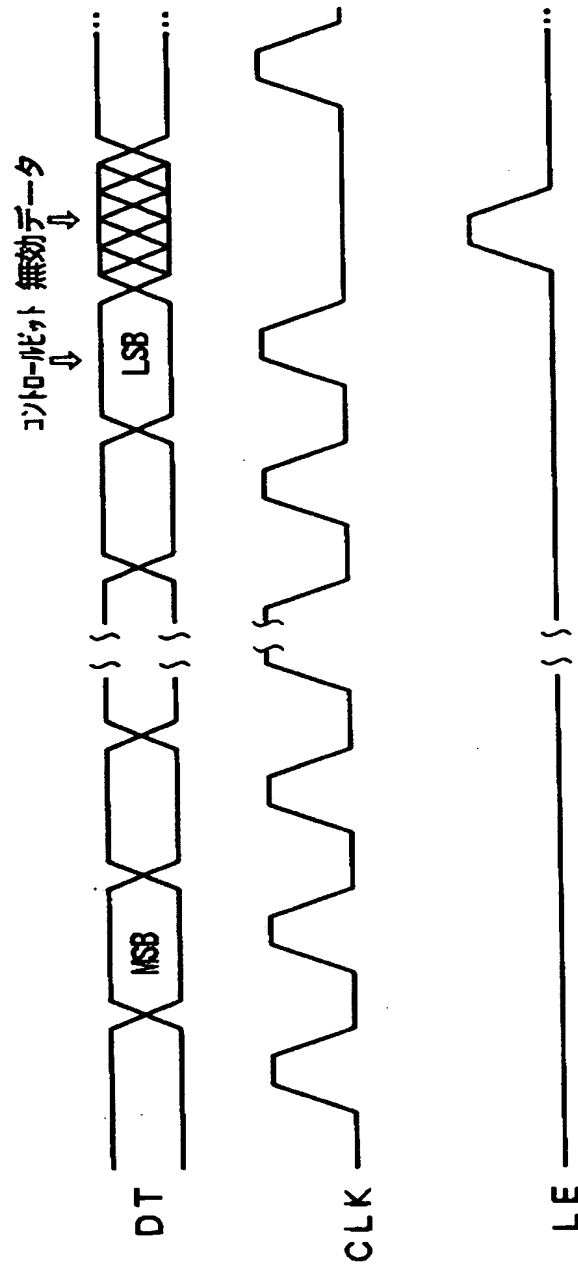
【図 2】

従来の位相比較器のブロック図



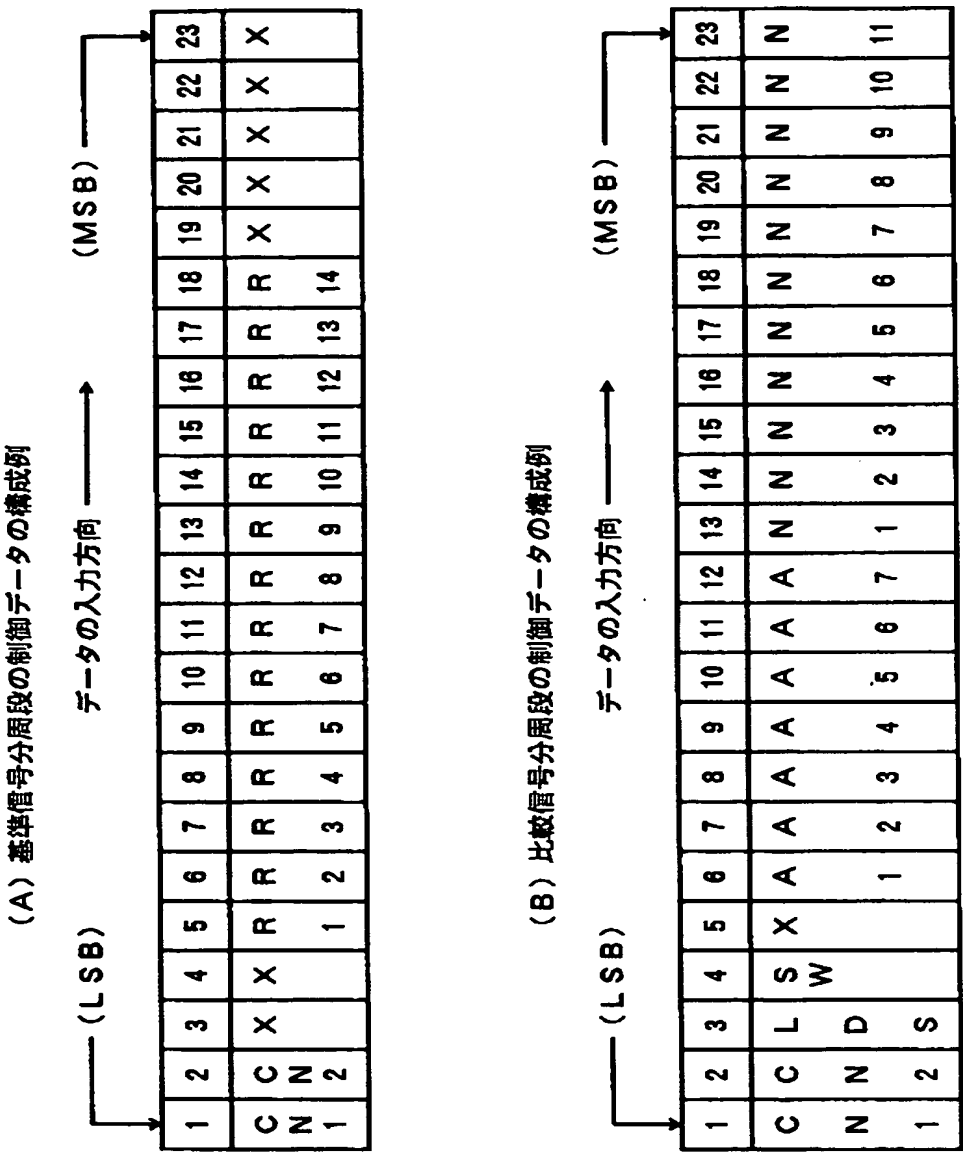
【図 3】

コントロール回路に入力する信号のタイミングチャート



【図 4】

位相比較器を制御するための制御データの一例



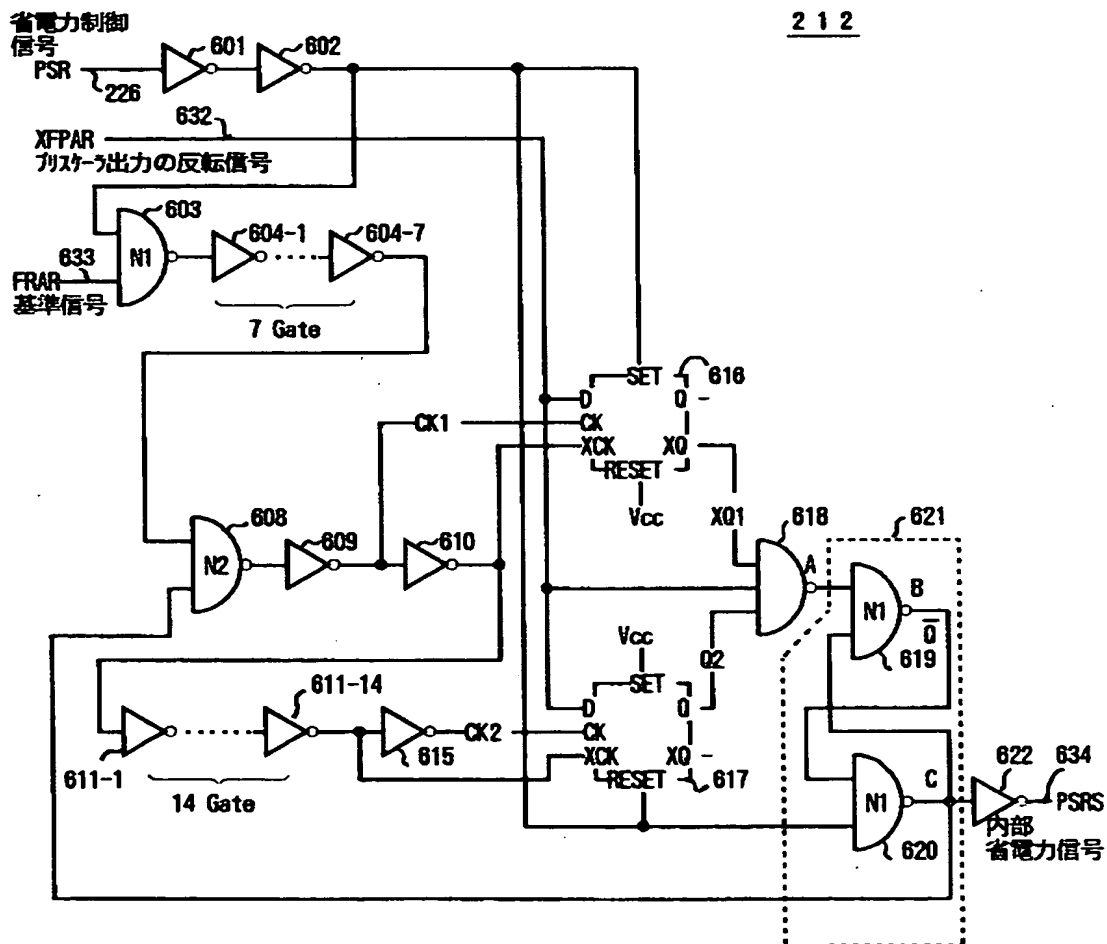
【図 5】

コントロールビット CN 1, CN 2 のデータの内容

	基準信号分周段	比較信号分周段
CN 1	0	0
CN 2	0	1

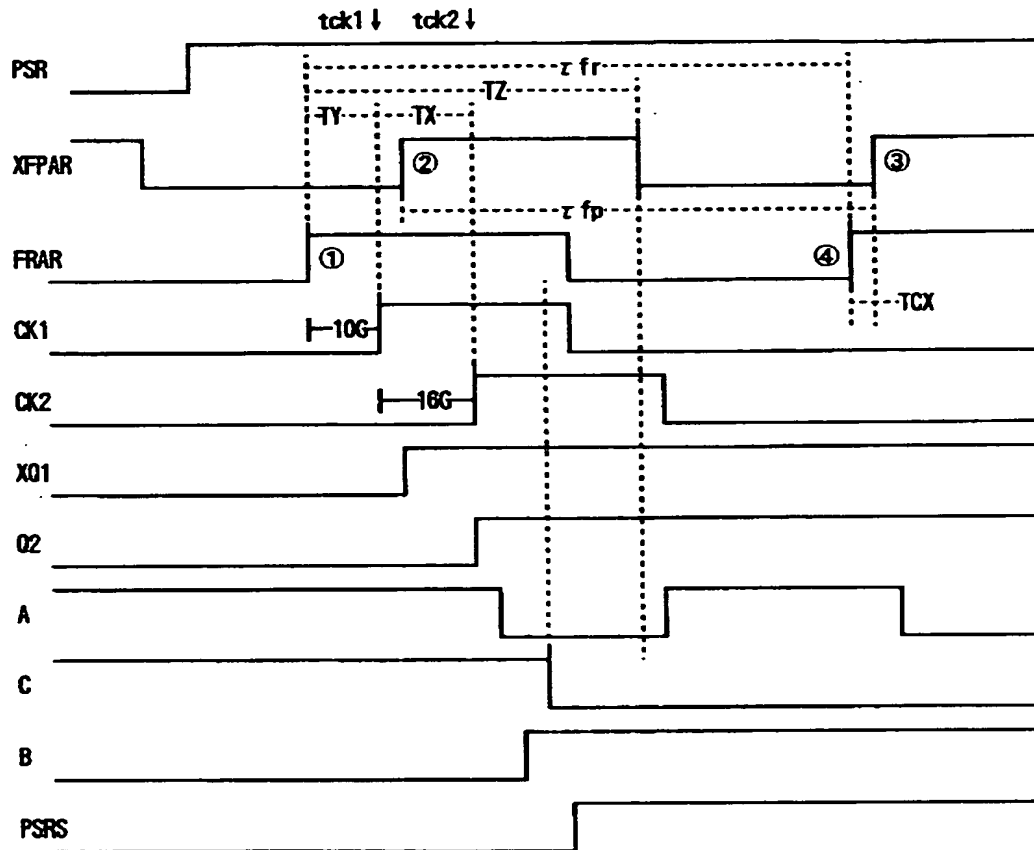
【図 6】

従来の省電力動作制御回路



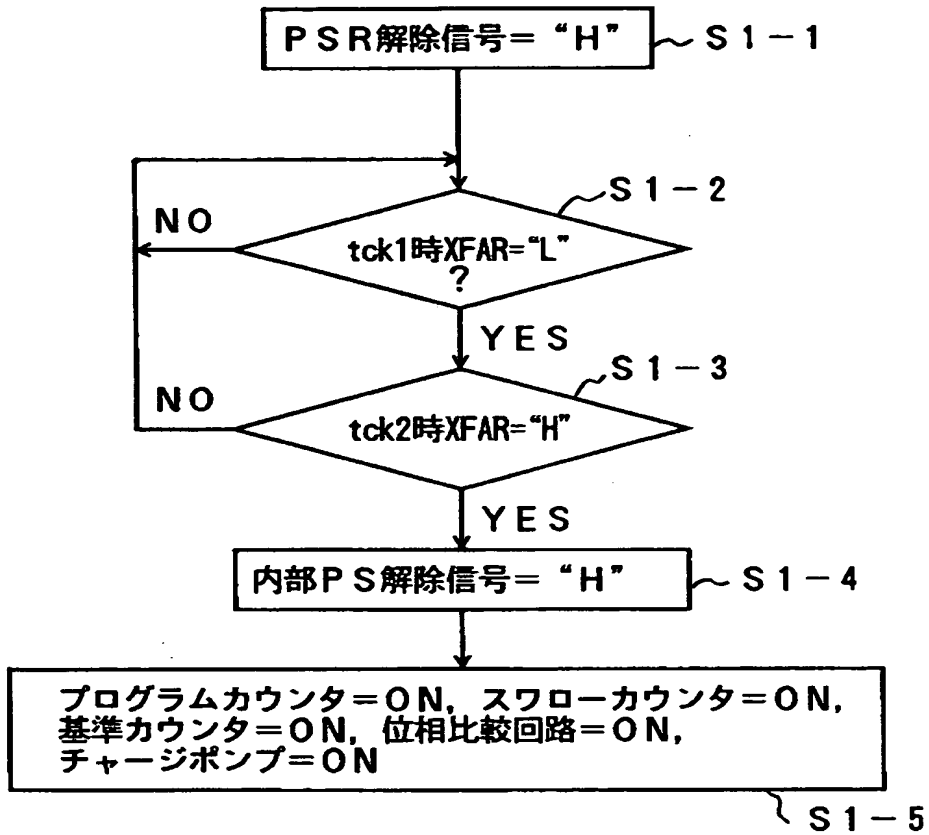
【図 7】

従来の省電力動作制御回路の動作タイミングチャート



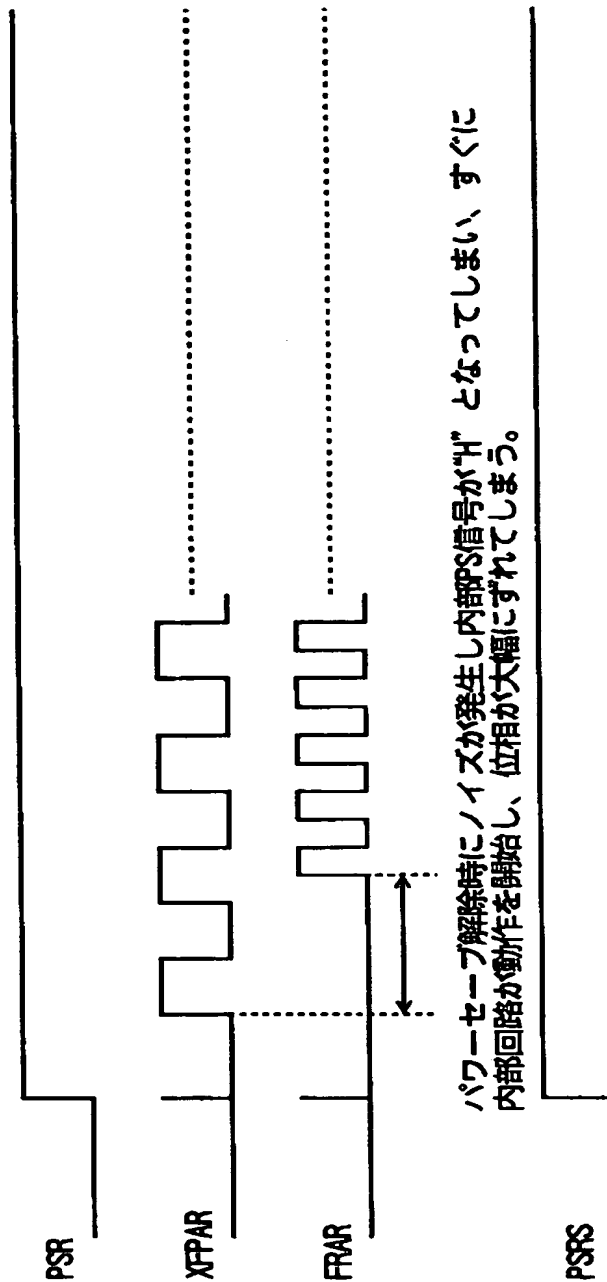
【図 8】

従来の省電力動作制御回路の解除時のフローチャート



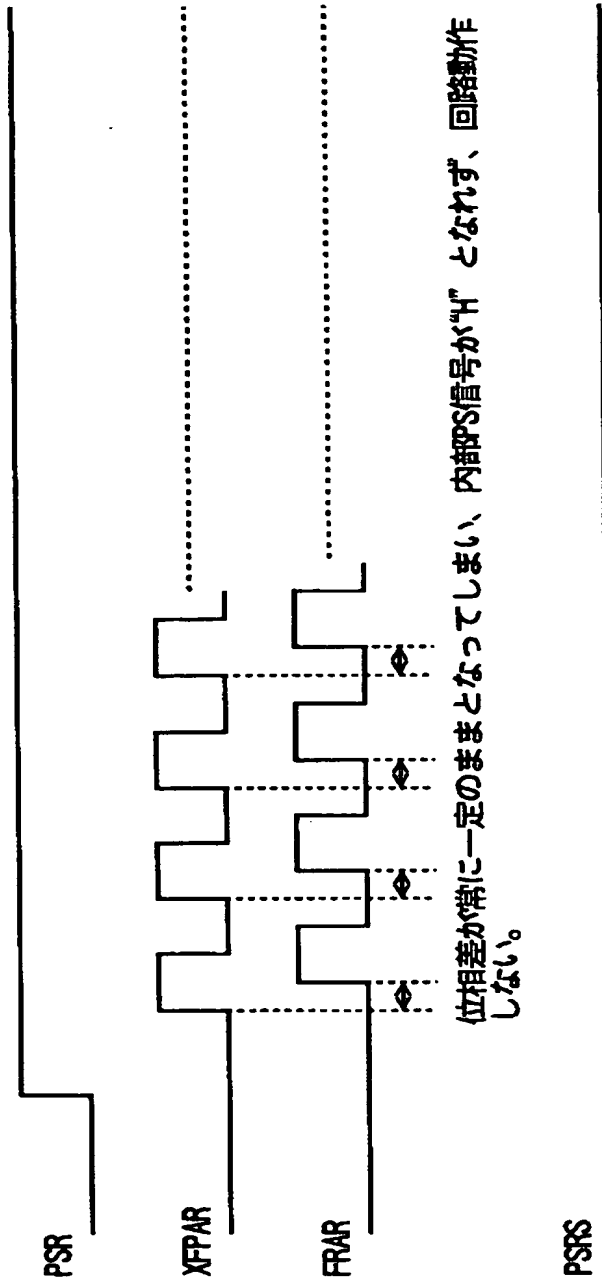
【図 9】

従来の第 1 の問題点を示す図



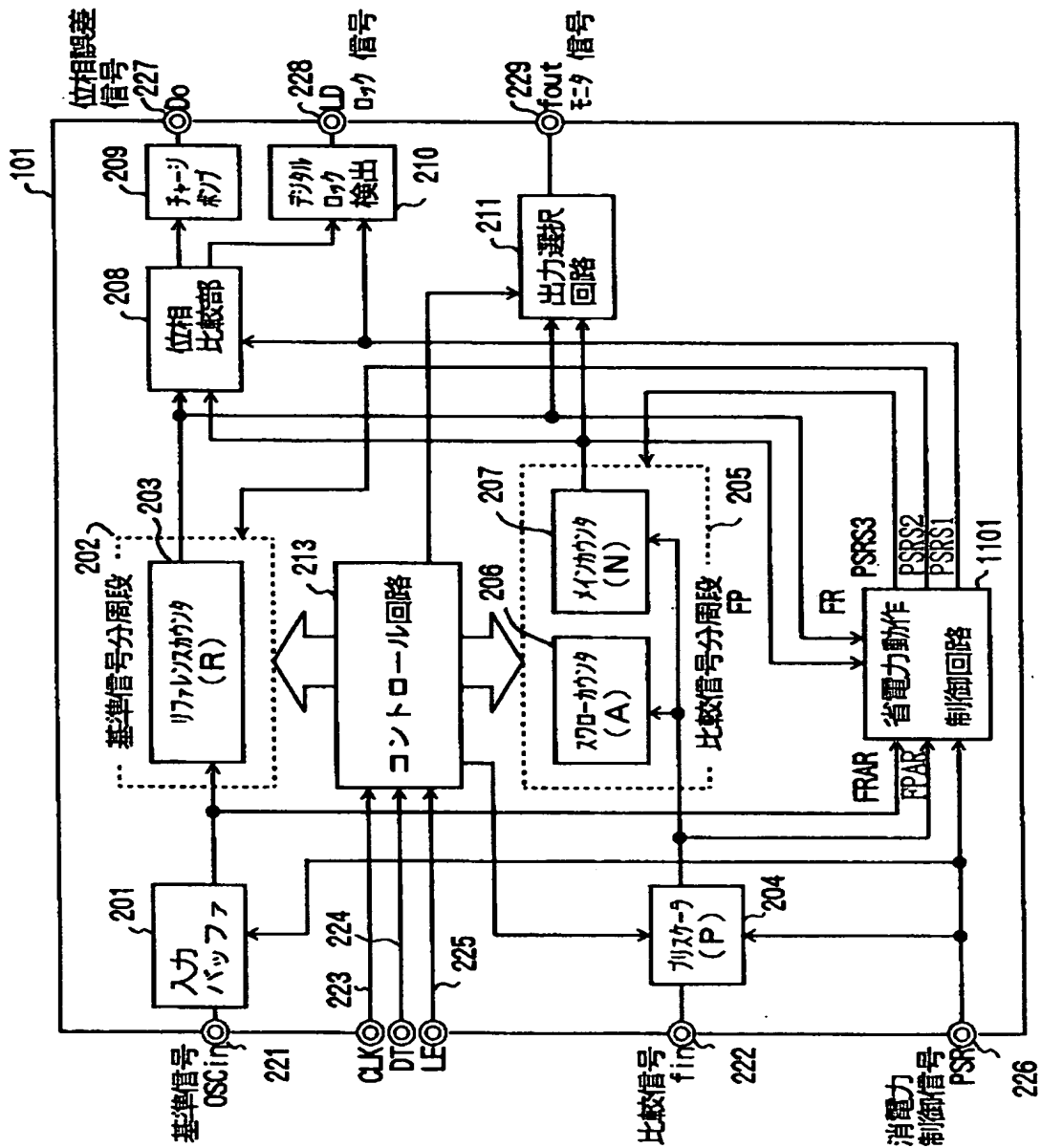
【図 10】

従来の第 2 の問題点を示す図



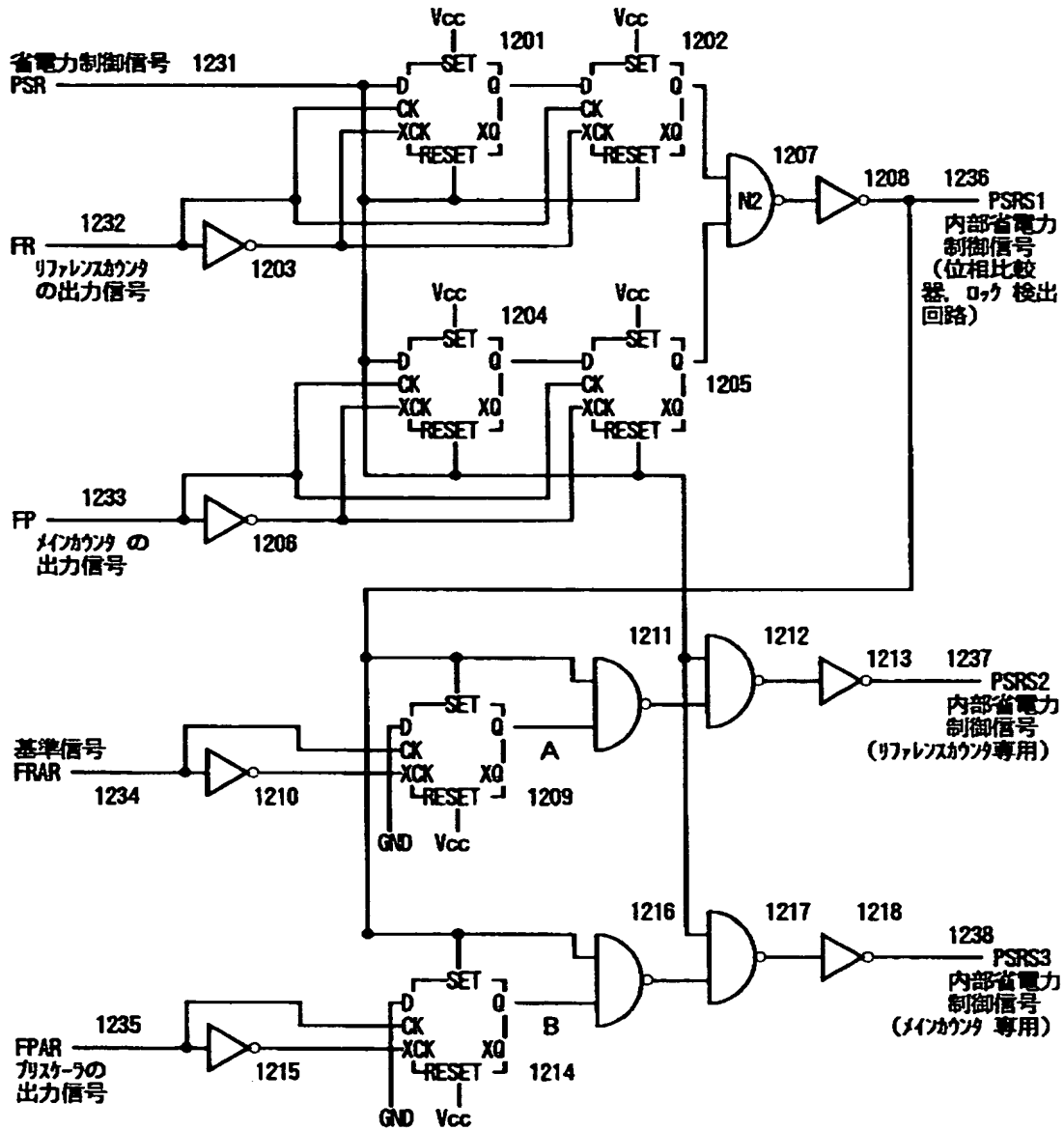
【図 11】

本発明の位相比較器のブロック図



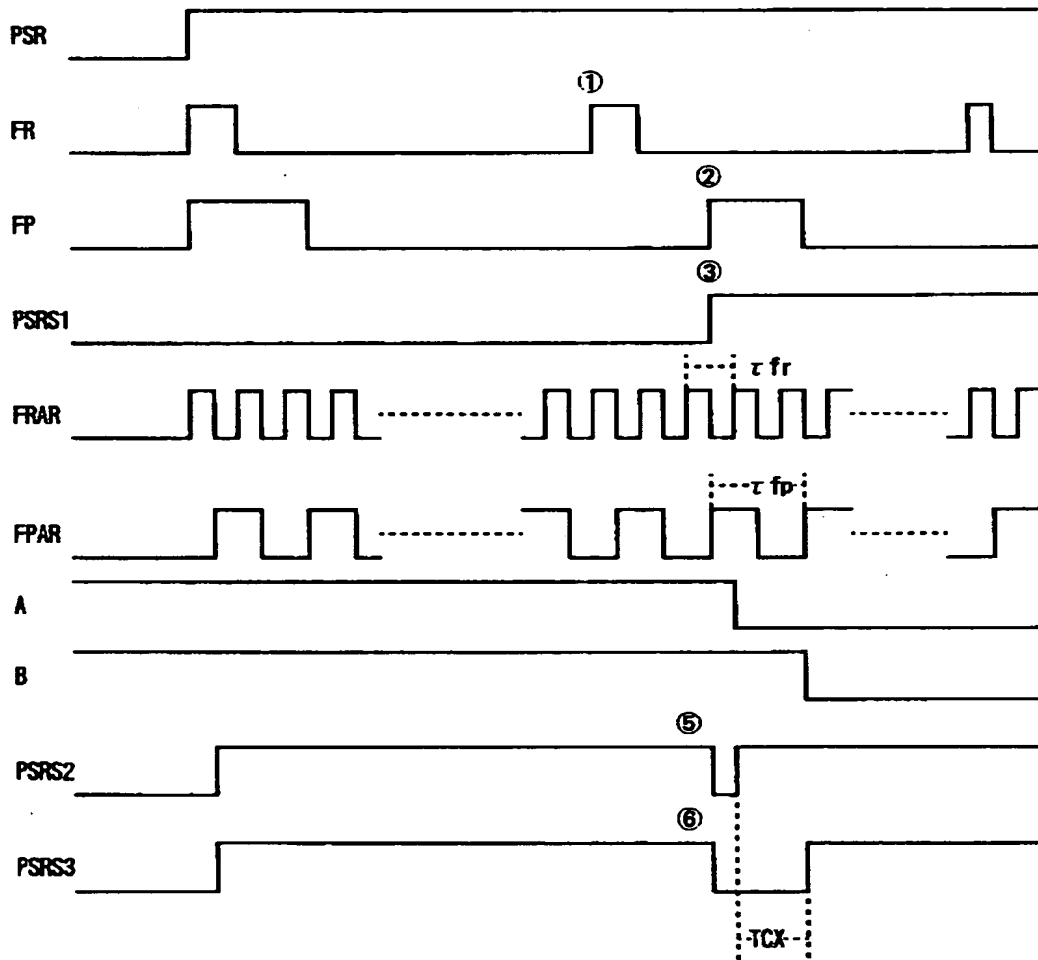
【図 1 2】

本発明の省電力動作制御回路



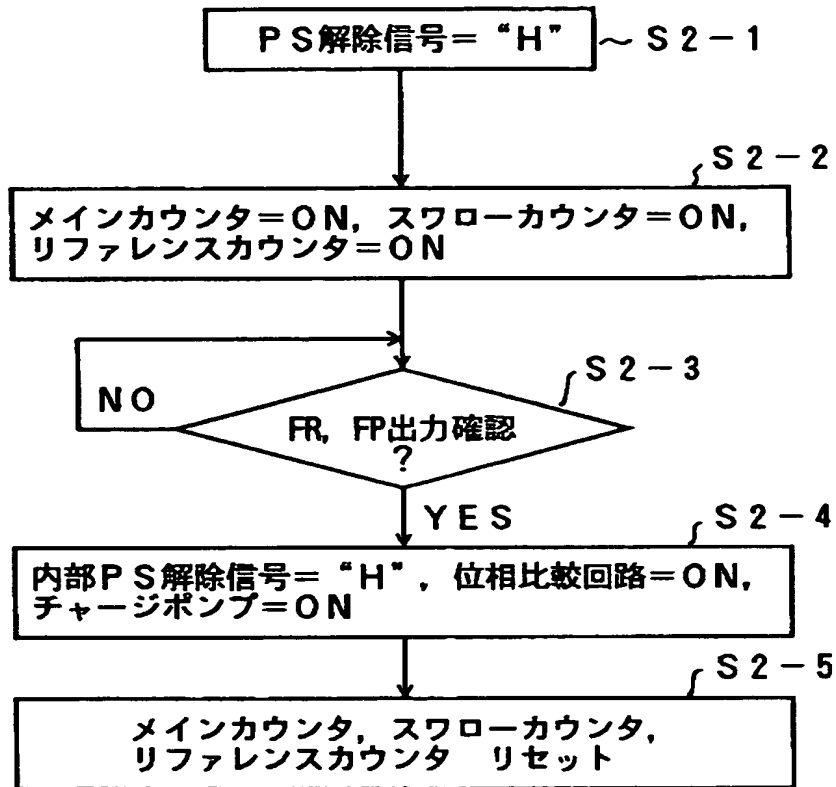
【図 1 3】

本発明の省電力動作制御回路の動作タイミングチャート



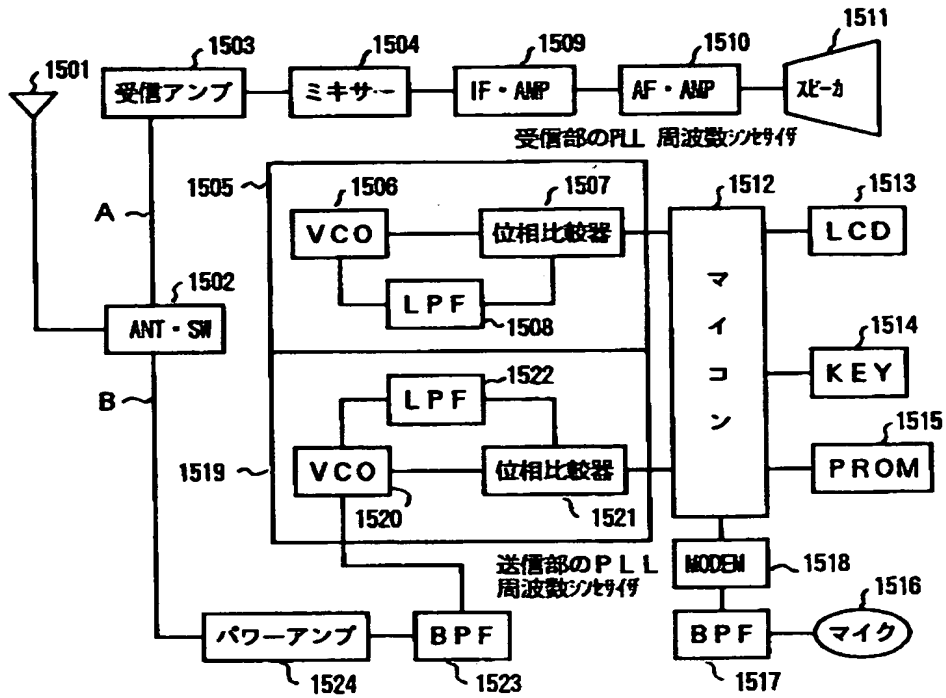
【図 14】

本発明の省電力動作制御回路の解除時のフローチャート



【図 1 5】

本発明による送受信機



【書類名】 要約書

【要約】

【課題】 本発明は、確実にかつ安定に省電力状態の解除ができる位相比較器の省電力動作制御方法及び装置を提供することを目的とする。

【解決手段】 基準周波数の基準信号を分周し基準分周信号を生成する基準信号分周手段と、入力信号を分周して前記基準分周信号と位相が比較される比較分周信号を生成する比較信号分周手段と、前記基準分周信号と前記比較分周信号の位相を比較して比較結果を出力する位相比較手段を含む位相比較器の省電力動作制御回路において、

前記基準信号分周手段と前記比較信号分周手段の出力に従って、省電力状態解除信号を生成する解除信号生成手段と、

前記解除信号生成手段の出力に従って、前期基準信号分周手段の初期化を行う第1の初期化信号を生成する第1の初期化信号生成手段と、

前記解除信号生成手段の出力に従って、前期比較信号分周手段の初期化を行う第2の初期化信号を生成する第2の初期化信号生成手段により位相比較器の省電力動作制御回路を構成する。

【選択図】 図 12

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社